

대한민국 특허청

KOREAN INTELLECTUAL  
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

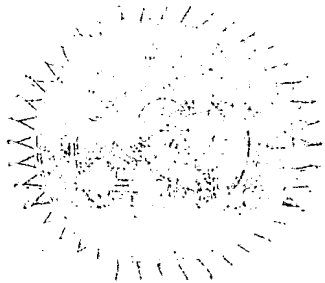
This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

CERTIFIED COPY OF  
PRIORITY DOCUMENT

출원번호 : 10-2003-0005915  
Application Number

출원년월일 : 2003년 01월 29일  
Date of Application JAN 29, 2003

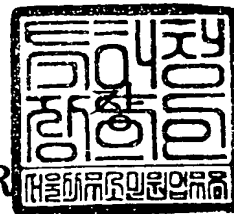
출원인 : 학교법인고려중앙학원  
Applicant(s) KOREA CHUNGANG EDUCATIONAL FOUNDATION



2004 년 01 월 30 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2003.01.29
【국제특허분류】	H01L
【발명의 명칭】	터널링 자기저항 소자 및 그 제조방법
【발명의 영문명칭】	Tunneling magnetoresistance device and manufacturing method thereof
【출원인】	
【명칭】	학교법인 고려중앙학원
【출원인코드】	2-1995-276862-2
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2002-018861-4
【대리인】	
【성명】	이해영
【대리인코드】	9-1999-000227-4
【포괄위임등록번호】	2002-018862-1
【발명자】	
【성명의 국문표기】	이성래
【성명의 영문표기】	LEE, Seong Rae
【주민등록번호】	540223-1068316
【우편번호】	136-075
【주소】	서울특별시 성북구 성북동 안암5가 고려대학교 공학관 648호
【국적】	KR
【발명자】	
【성명의 국문표기】	최철민
【성명의 영문표기】	CHOI, Chul Min
【주민등록번호】	760903-1075034

【우편번호】 139-200

【주소】 서울특별시 노원구 상계동 은빛아파트 102동 1006호

【국적】 KR

【심사청구】 청구

【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인  
이영필 (인) 대리인  
이해영 (인)

【수수료】

【기본출원료】	20 면	29,000 원
【가산출원료】	3 면	3,000 원
【우선권주장료】	0 건	0 원
【심사청구료】	10 항	429,000 원
【합계】		461,000 원
【감면사유】	학교	
【감면후 수수료】	230,500 원	
【첨부서류】	1. 요약서·명세서(도면)_1통	

**【요약서】****【요약】**

터널링 자기저항 소자 및 그 제조방법이 개시된다. 개시된 터널링 자기저항 소자 제조방법은, 기판 상에 자화방향이 고정된 고정층을 증착하는 제1단계와, 고정층 상에 Zr을 2%이상 20%이하의 조성비로 함유하는 비정질의 ZrAl층을 증착시키는 제2단계와, 비정질의 ZrAl 장벽층을 산소 가스에 노출시켜 비정질의  $ZrAlO_x$  장벽층으로 형성시키는 제3단계 및, 비정질의  $ZrAlO_x$  장벽층 상에 자화방향이 변화가능한 자유층을 증착하는 제4단계를 포함한다. 낮은 조도, 균일하고 결함이 적은 장벽층을 제공하여 고 MR비를 가지는 터널링 자기저항 소자를 구현할 수 있다.

**【대표도】**

도 1a

## 【명세서】

## 【발명의 명칭】

터널링 자기저항 소자 및 그 제조방법{Tunneling magnetoresistance device and manufacturing method thereof}

## 【도면의 간단한 설명】

도 1은 본 발명의 실시예에 따른 터널링 자기저항 소자를 간략히 나타낸 구조도,

도 2a는 종래의  $\text{AlO}_x$  장벽층을 구비하는 터널링 자기저항 소자의 TEM 사진,

도 2b는 본 발명의 실시예에 따른 터널링 자기저항 소자 제조방법에 의해 제조된 터널링 자기저항 소자의 일 실시예를 보이는 TEM 사진,

도 3은 본 발명의 실시예에 따른 터널링 자기저항 소자 제조방법을 나타낸 플로우 차트,

도 4는 비정질의  $\text{ZrAlO}_x$  장벽층을 형성한 경우 Zr의 조성비에 따라 변화하는 MR비(%)을 나타낸 그래프,

도 5는 Zr의 조성비의 변화에 따른 비정질의  $\text{ZrAlO}_x$  장벽층의 조도의 변화를 나타낸 그래프,

도 6a는 열처리 전  $\text{AlO}_x$  장벽층과  $\text{ZrAlO}_x$  장벽층의 바이어스 전압(V)에 따른 표준화된 MR비의 변화를 보이는 그래프,

도 6b는 열처리 후  $\text{AlO}_x$  장벽층과  $\text{ZrAlO}_x$  장벽층의 바이어스 전압에 따른 표준화된 MR비의 변화를 보이는 그래프,

도 7a는 본 발명의 실시예에 따른 터널링 자기저항 소자의 온도에 따른 MR비를 나타낸 그래프,

도 7b는 본 발명의 실시예에 따른 터널링 자기저항 소자 제조방법에 의해 제조된 터널링 자기저항 소자의 온도에 따른 규준화된 TMR비의 변화를 보이는 그래프.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<11> 본 발명은 터널링 자기저항 소자 및 그 제조방법에 관한 것으로, 보다 상세하게는 장벽층의 조성을 조절하여 MR 특성과 열적 안정성을 향상시킨 터널링 자기저항 소자 및 그 제조방법에 관한 것이다.

<12> 자기저항 소자는 자기 에너지에 의해 저항이 변하는 원리를 이용한 소자로서, 특히 강자성(고정층)/절연체(반도체)(장벽층)/강자성(자유층) 구조를 가진 접합에서 강자성체의 상대적인 자화방향에 따라 터널링 전류가 달라지는 현상인 자기 터널 접합(Magnetic Tunnel Junction) 원리를 이용하는 자기 저항 헤드 또는 MRAM(Magnetic Random Access Memory) 등의 종류를 포함한다. 고정층과 자유층의 자화 스핀이 반대방향인 경우 전류를 인가하면 TMR 소자의 높은 자기 저항으로 인해 적은 전류가 장벽층을 통과하여 흐른다. 역으로 고정층과 자유층의 스핀 방향이 동일하면 자기저항이 낮아 많은 전류가 흐른다. 이 때 자기저항 비(Magnetoresistive Ratio; MR 비)는 다음 수학적 식 1로 표현된다.

<13> **【수학적 식 1】** 
$$MR비 = \frac{고MR - 저MR}{저MR}$$

<14> MR비가 높으면 고정층과 자유층의 스핀 방향을 판별하기가 용이하여 "1"과 "0"의 정보 기록 및 재생 성능이 우수한 자기저항 소자를 제조할 수 있다.

- <15> MR비가 높은 자기 저항 소자를 제조하기 위해서는 핀홀(pin hole)이 없으며 조도가 낮고 ( $2\sqrt{\text{rms}}$  이하) 절연특성이 우수한 장벽층을 형성할 필요가 있다. 양질의 장벽층을 제조하기 위해 종래 기술은 최적의 산화 조건을 설정하는 방법과 새로운 물질로 장벽층을 형성하는 방법을 사용한다.
- <16> 최적의 산화조건을 설정하는 방법에는 자연 산화법, 플라즈마 산화법, 자외선을 이용한 산화법 등이 있다. 자연 산화법은 양호한 표면 모폴로지(morphology), 저 저항 등의 장점을 가지는 반면 재현성이 없으며 장시간의 공정을 요하는 단점을 가진다. 플라즈마 산화법은 신속 간단한 처리공정과 양호한 재현성의 장점을 가지나, 표면이 불균질한 단점을 가진다. 자외선을 이용한 산화법은 저 저항의 장점을 가지는 반면, 장시간의 공정이 요구되는 단점을 가진다.
- <17> 새로운 물질로 장벽층을 형성하는 방법에서는,  $\text{Ga}_2\text{O}_3$ ,  $\text{AlN}$ ,  $\text{AlON}$ ,  $\text{TaO}_x$ ,  $\text{ZrO}_x$ ,  $\text{MgO}_x$  등의 새로운 물질로 장벽층을 형성한다. 하지만,  $\text{Ga}_2\text{O}_3$ 는 저저항을 가지는 반면 실온에서 MR특성을 측정할 수 없는 단점이 있고,  $\text{AlN}$ ,  $\text{AlON}$ 은 저 바이어스 전압을 가지는 반면, 고 저항을 나타내는 단점이 있다.  $\text{TaO}_x$ 는 강자성층과 절연층의 커플링이 용이한 반면 MR특성이 낮고,  $\text{ZrO}_x$ 는 낮은 장벽 높이를 가지는 반면 MR특성이 낮으며,  $\text{MgO}_x$ 는 저저항, 작은 중간막 커플링을 가지는 반면, 증착에 한계가 있다.

#### 【발명이 이루고자 하는 기술적 과제】

- <18> 따라서, 본 발명이 이루고자하는 기술적 과제는 상술한 종래 기술의 문제점을 개선하기 위한 것으로서, 양호한 균질도와 높은 MR 특성을 가지는 터널링 자기저항 소자 및 그 제조방법을 제공하는 것이다.

## 【발명의 구성 및 작용】

- <19>       상기 기술적 과제를 달성하기 위하여 본 발명은,
- <20>       자화방향이 고정된 고정층과 자화방향이 변화가능한 자유층 사이에 개재되며, Zr이 2% 이상 20%이하의 조성비로 함유된 비정질의  $ZrAlO_x$  장벽층을 가지는 터널링 자기저항 소자를 제공한다.
- <21>       여기서, 상기 Zr은 6% 이상 12% 이하의 조성비를 가지는 것이 바람직하며, 가장 바람직하게는 상기 Zr은 10% 정도의 조성비를 가질 수 있다.
- <22>       상기 장벽층은 200℃ 내지 500℃로 열처리되는 것이 바람직하다.
- <23>       상기 기술적 과제를 달성하기 위하여 본 발명은 또한,
- <24>       기판 상에 자화방향이 고정된 고정층을 증착하는 제1단계;
- <25>       상기 고정층 상에 Zr을 2%이상 20%이하의 조성비로 함유하는 비정질의 ZrAl층을 증착시키는 제2단계;
- <26>       상기 비정질의 ZrAl 장벽층을 산소 가스에 노출시켜 비정질의  $ZrAlO_x$  장벽층으로 형성시키는 제3단계; 및
- <27>       상기 비정질의  $ZrAlO_x$  장벽층 상에 자화방향이 변화가능한 자유층을 증착하는 제4단계;를 포함하는 것을 특징으로 하는 터널링 자기저항 소자 제조방법을 제공한다.
- <28>       상기 제1단계에서, 상기 기판과 상기 고정층 사이에 반강자성층을 형성한다.
- <29>       상기 제2단계에서, 상기 ZrAl칩을 타겟으로 마련하여 스퍼터링함으로써 상기 고정층 상에 ZrAl 장벽층을 형성한다.



- <30>        상기 제2단계에서, 상기 Zr을 6% 이상 12% 이하의 조성비로 도핑하는 것이 바람직하며, 가장 바람직하게는 10% 정도의 조성비로 도핑할 수 있다.
- <31>        상기 제4단계에서, 상기 장벽층을 200℃ 내지 500℃로 열처리하는 것이 바람직하다.
- <32>        본 발명은 터널링 자기저항 소자에 있어서 고정층과 자유층 사이에 위치하는 터널 장벽층을  $ZrAlO_x$ 로 형성하고 Zr의 조성비를 8% 내지 12% 범위로 조정하여 장벽층의 물리적인 구조 특성과 MR특성을 향상시킴으로써 고성능의 터널링 자기저항 소자를 제공할 수 있다.
- <33>        이하 본 발명의 실시예에 따른 터널링 자기저항 소자 및 그 제조방법을 도면을 참조하여 상세히 설명한다.
- <34>        도 1a 내지 도 1f는 본 발명의 제1 내지 제6실시예에 따른 터널링 자기저항 소자를 간략히 나타낸 단면도이다. 본 발명의 제1 내지 제6실시예에 따른 터널링 자기저항 소자에서, 장벽층은  $ZrAlO_x$  장벽층으로서, Zr은 전체 조성에 대한 조성비가 2% 내지 20%정도가 되도록 함유되며, 바람직하게는 6% 내지 12% 정도로, 가장 바람직하게는 10%정도로 함유된다.
- <35>        도 1a를 참조하면, 반강자성층이 바닥면에 마련되는 바텀(bottom)구조의 본 발명의 제1 실시예에 따른 터널링 자기저항 소자에는, 상기 반강자성층과 교환 바이어스 결합에 의해 자화방향이 고정되는 고정층이 상기 반강자성층의 상면에 적층되고, 상기 고정층의 상면에  $ZrAlO_x$  장벽층이 위치하고, 상기 장벽층의 상면에는 자화방향이 외부 자기장 또는 전류에 의해 변화하는 자유층이 형성된다. 여기서, 고정층과 자유층은 CoFe, NiFe와 같은 강자성층으로 형성된다.
- <36>        도 1b는 반강자성층이 상면에 마련되는 탑(top) 구조의 본 발명의 제2실시예에 따른 터널링 자기저항 소자를 간략히 나타낸 도면이다. 도 1a에 도시된 본 발명의 제1실시예에 따른

터널링 자기저항 소자와 달리, 자유층이 바닥면에 위치하고 그 상부에 순서대로  $\text{ZrAlO}_x$  장벽층, 고정층, 반강자성층이 적층되어 있다.

- <37> 도 1c는 본 발명의 제3실시예에 따른 자기저항소자로서, 두 개의 장벽층이 포함된 듀얼 스핀 밸브형의 이중 터널 정션 구조를 가진다.
- <38> 즉, 본 발명의 제1 및 제2실시예에 따른 터널링 자기저항 소자를 복합한 구조로서, 반강자성층/자성층/ $\text{ZrAlO}_x$  장벽층/자성층/ $\text{ZrAlO}_x$  장벽층/ 자성층/반강자성층의 구조를 가진다.
- <39> 도 1d 및 도 1e는 자성층/Ru/자성층의 종합 구조(synthetic structure)가 삽입된 본 발명의 제4 및 제5실시예에 따른 터널링 자기저항 소자를 간략히 보이는 단면도이다.
- <40> 도 1d를 참조하면, 본 발명의 제4실시예에 따른 터널링 자기저항 소자는, 바텀형의 반강자성층/자성층/Ru/자성층/고정층/ $\text{ZrAlO}_x$  장벽층/자유층의 구조를 가진다.
- <41> 도 1e를 참조하면, 본 발명의 제5실시예에 따른 터널링 자기저항 소자는, 탑형의 반강자성층/자성층/Ru/자성층/고정층/ $\text{ZrAlO}_x$  장벽층/자유층의 구조를 가진다.
- <42> 도 1f는 본 발명의 제6실시예에 따른 터널링 자기저항 소자를 나타낸 단면도이다. 도면을 참조하면, 본 발명의 제6실시예에 따른 터널링 자기저항 소자는, 반강자성층이 없이 자성층의 보자력 차이에 의한 슈도(pseudo) 스핀 밸브 형인 자성층/ $\text{ZrAlO}_x$  장벽층/자성층의 구조를 가진다.
- <43> 본 발명의 실시예에 따른 터널링 자기저항 소자는 Zr이 소정 비율로 함유된  $\text{ZrAlO}_x$  장벽층을 구비함으로써 낮은 조도, 균일하고 결함이 적은 장벽층을 제공하고 고 MR비를 가질 수 있다.

- <44> 도 2a는 CoFe 층 간에  $AlO_x$  장벽층이 개재된 자기저항 소자의 TEM 사진이며, 도 2b는 CoFe 층 간에 Zr이 10% 정도 도핑된  $AlO_x$  장벽층이 개재된 자기저항 소자의 TEM 사진이다.
- <45> 도 2a를 참조하면,  $AlO_x$  장벽층의 표면에는 핀홀(pinhole)이 형성되고 CoFe가 침투하여 표면의 균질도가 떨어지는 것을 알 수 있다. 반면, 도 2b를 참조하면,  $ZrAlO_x$  장벽층의 표면은 CoFe의 침투가 없고 핀홀, 디펙트(defect), 디스오더(disorder)가 없는 균질한 표면이 형성된 것을 볼 수 있다.
- <46> 도 3은 본 발명의 실시예에 따른 터널링 자기저항 소자 제조방법을 나타낸 플로우 차트이다.
- <47> 먼저 기판을 마련하고 기판 상에 반강자성층을 증착한 다음 그 상면에 고정층을 증착한다(제101단계). 상기 고정층의 상면에 Zr 칩을 부착한 Al 타겟을 마련한 다음, 스퍼터링 장치를 이용하여 비정질 ZrAl층을 상기 고정층에 증착시킨다(제103단계).
- <48> 다음 표 1은 칩의 개수에 따른 Zr의 조성비를 나타내고 있다. 칩의 개수를 조정하여 비정질 ZrAl층에 함유되는 Zr의 조성비를 조절할 수 있다.
- <49> 【표 1】

칩의 개수	3	4	5	6	7	8	9	10	11	12
Zr의 조성비(%)	3.15	4.02	4.77	5.41	6.24	7.22	8.51	9.89	10.39	11.56

- <50> Zr의 조성비가 8% 내지 12%인 ZrAl층을 형성하기 위해서는, 칩을 8개 내지 12개를 마련하고, Zr의 조성비를 9% 내지 11.5%가 되도록 하기 위해서는 칩을 9개 내지 11개를 배치하며, Zr의 조성비를 9.89% 정도가 되도록 하기 위해서는, 칩의 개수를 10개 설치하여 스퍼터링을 실행한다.

- <51> 스퍼터링을 수행한 다음 비정질 ZrAl층에 산소 처리를 하여 비정질 ZrAl층을 산화시키고(제105단계), 자유층을 증착한다(제107단계). 자유층을 증착한 다음 소정 온도, 바람직하게는 200℃~500℃로 열처리를 실행한다(제109단계). 여기서, 자유층, ZrAl 장벽층, 고정층의 증착은 주로 마그네트론 스퍼터 공법을 이용한다.
- <52> 다음, 본 발명의 실시예에 따른 터널링 자기저항 소자 및 그 제조방법에서 고 MR특성과 균질하고 결함이 적은 장벽층 및 조도(roughness)를 획득하기 위해 최적의 Zr 조성비를 알아내기 위해 실행한 실험 조건과 그 결과를 나타낸 그래프에 대해 설명한다. 실험 조건은 다음과 같다.
- <53> 먼저  $ZrAlO_x$  장벽층을 형성할 자기터널접합(MTJs) 시편을 4 건(gun) RF(Radio Frequency) 마그네트론 스퍼터를 이용하여 제작하였다. 기판으로는 지름이 200nm 열산화막이 있는 Si(100) 웨이퍼를 사용하였으며, 시편 제작시 초기 진공도는  $5 \times 10^{-7}$  Torr 이하로 유지하였다. 접합 시편의 구조는  $SiO_2/Ta(5nm)/CoFe(17nm)/IrMn(7.5nm)/CoFe(5nm)/Zr_xAl_{1-x}(0.5 \sim 1.8nm)-O_x/CoFe(5nm)/Ta(5nm)$ 로 형성하고, 세 종류의 상이한 금속 섀도우 마스크(metal shadow mask)를 이용하여 십자가 형태의 접합을 형성하였다. 여기서 접합의 면적은  $100 \times 100 \mu m^2$ 로 하였다.
- <54>  $ZrAlO_x$  장벽층의 형성을 위해, 0.5~1.8nm 정도의 두께로 비정질 ZrAl층을 먼저 증착한 후, 산소 가스에 노출시켰다. 접합 시편의 열처리를  $3 \times 10^{-6}$  Torr 이하의 압력하에서 실행하였으며, 시간은 10분 정도로 고정시키고 250℃부터 450℃까지 온도별로 열처리를 실행하였다.
- <55> 도 4는 상술한 실험 조건을  $ZrAlO_x$  장벽층을 형성한 경우 Zr의 조성비에 따라 변화하는 MR비(%)을 나타낸 그래프이다.

- <56> 도 4를 참조하면, X축의 Zr 조성비는 순수한 Al층에 대해 2%에서 최대 20%까지 증가하고 있으며, 이에 따라 MR비(%)는 열처리 전 20%정도에서 25% 정도의 범위를 가지며 증감하고 있고, 열처리 후에는 25% 정도에서 38% 정도의 범위로 증감하고 있다. 열처리 전과 후에서 MR비(%)가 의미있는 값을 나타내는 것은 Zr의 조성비가 2%이상 20%이하의 범위를 가지는 경우이며, 더 바람직하게는 6% 내지 12%, 가장 바람직하게는 10%에서 최고 MR비를 나타낸다.
- <57> 도 5는 산화 전, 산화 후 및 250℃에서 10분간 열처리된 경우의 Zr의 조성비의 변화에 따른 조도의 변화를 각각 나타낸 그래프이다.
- <58> 도 5를 참조하면, 산화 전의 조도에 비해서 산화 후 조도가 감소하며, 다시 열처리를 하면 조도가 더욱 감소하여 막질의 균질도가 향상되는 것을 알 수 있다. 특히 각 경우에 있어서, Zr이 첨가되면 조도가 감소하기 시작하고 Zr의 조성비가 10%정도가 되었을 때 최저 조도를 나타낸다. Zr의 조성비가 10%이상이 되면 조도는 다시 증가하기 시작하여 Zr의 조성비가 12%를 초과하면 장벽층의 조도값이 2.0정도의 값을 나타낸다. 이와 같은 조도의 변화는 MR비(%)의 변화와 유사하게 Zr의 조성비가 2% 내지 20%정도에서 의미있는 값을 가진다. 이는 10% 이내의 Zr이 Al에 결합하면서 Al의 다결정 구조에서 비정질의 ZrAl을 형성하기 때문이다. 또한 열처리 전의 조도에 비해서는 열처리 후의 조도값이 더 감소하므로, 열처리를 하는 것이 터널링 자기저항 소자의 성능을 향상시키는 것을 알 수 있다.
- <59> 도 6a는 열처리 전  $AlO_x$  장벽층과  $ZrAlO_x$  장벽층의 바이어스 전압(V)에 따른 표준화된 MR비의 변화를 보이는 그래프이며, 도 6b는 열처리 후  $AlO_x$  장벽층과  $ZrAlO_x$  장벽층의 바이어스 전압에 따른 표준화된 MR비의 변화를 보이는 그래프이다.
- <60> 도 6a 및 도 6b를 참조하면,  $ZrAlO_x$  장벽층이  $AlO_x$  장벽층에 비해 열처리 전과 후에서 동일 바이어스 전압에 대해 더 높은 MR비를 나타내는 것을 볼 수 있다. 예를 들어 도 6a를 참조

하면, 400V의 바이어스 전압이 인가된 경우  $\text{AlO}_x$  장벽층을 구비하는 자기저항 소자는 0.5 정도의 표준화된 MR비를 나타내며,  $\text{ZrAlO}_x$  장벽층을 구비하는 자기저항 소자는 0.65 정도의 표준화된 MR비를 나타낸다. 도 6b를 참조하면, 497V의 바이어스 전압이 인가된 경우  $\text{AlO}_x$  장벽층을 구비하는 자기저항 소자는 0.5 정도의 표준화된 MR비를 나타내는 반면,  $\text{ZrAlO}_x$  장벽층을 구비하는 자기저항 소자는 0.68 정도의 표준화된 MR비를 나타낸다.

<61> 따라서, 10% 정도의 조성비로 Zr이 함유된  $\text{ZrAlO}_x$  장벽층이 조도가 가장 낮으며 계면 균질도도 가장 향상된 양질의 장벽층임을 알 수 있다. 도 6a와 도 6b를 비교하면, 최적 열처리 후 바이어스 전압 의존성이 더 향상된 것을 볼 수 있다. 이것은 열처리를 통해 장벽층의 표면의 산소가 재배열되고 계면 결합이 제거되었기 때문으로 설명된다.

<62> 실험으로부터 MTJ의 최적의 Zr 조성은 10% 정도임을 알 수 있었으며, 10% 정도의 조성비의 Zr을 함유한  $\text{ZrAlO}_x$  장벽층을 250℃ 열처리한 후 39.4%의 TMR 값을 얻을 수 있었다.

<63> 도 7a 및 도 7b는 본 발명의 실시예에 따른 자기저항 소자 제조방법에 의해 제조된 자기저항 소자의 온도에 따른 MR비와 표준화된 TRM비의 변화를 보이는 그래프이다.

<64> 도 7a에 도시된 그래프로부터 10K부터 300K까지 온도 상승에 따른 TMR비를 알 수 있다.  $\text{AlO}_x$  장벽층을 구비하는 자기저항 소자의 경우 10K에서 300K까지 TMR비는 40.1%에서 27.3%로 감소하고 있고 이에 비해 6개의 Zr칩을 타겟으로 마련하여 스퍼터링을 행한 경우 즉, 표 1에서 Zr 조성비가 5.41% 정도인 경우의 TMR비는 33.9%에서 22.7%정도로 감소한다. 10개의 Zr칩을 타겟으로 마련하여 스퍼터링을 실행하여 Zr 조성비가 장벽층에 10%정도 함유된 경우 TMR비는 40.8%에서 30.5% 정도로 감소하고 있다. 이러한 TMR비의 변화로부터 Zr 조성비가 10%정도인 경우가 최적의 조성비임을 알 수 있다.

- <65> 도 7b는 규준화된 TMR비의 변화도를 보인다. 도 7b에 도시된 그래프로부터 온도에 따라 TMR비가 감소하는 상대적인 정도를 비교할 수 있다.
- <66> 즉,  $\text{AlO}_x$  장벽층을 구비하는 경우에 비해 Zr을 첨가하여 제조한  $\text{ZrAlO}_x$  장벽층을 구비하는 경우, 온도변화에 따른 의존도가 작은 것을 알 수 있다. 여기서, Zr의 조성비가 10% 정도로 최적화되는 경우 온도에 따른 TMR비의 의존성이 가장 낮게 나타난다.
- <67> 표 2는 스핀 웨이브 파라미터 및 스핀 분극과 Zr 조성 사이의 관계를 나타낸다.

<68> 【표 2】

Zr의 조성	$\alpha (\times 10^{-6} \text{ K}^{-1.5})$	$P_0(\%)$
0 at.%(=AlO <sub>x</sub> )	14 $\pm$ 0.328	39.1
6 at. %	13 $\pm$ 0.581	38.7
10 at. %	11 $\pm$ 0.482	42.7

- <69> TMR의 온도에 따른 분극(P)에 관한 식은 수학식 2과 같이 나타낼 수 있다.
- <70> 【수학식 2】  $P(T)=P_0(1-\alpha T^{1.5})$
- <71> 표 2로부터 Zr이 도핑된  $\text{AlO}_x$  장벽층은 낮은 스핀 웨이브 파라미터( $\alpha$ )와 높은 스핀 분극( $P_0$ )을 가지는 것을 알 수 있다. 이로부터  $\text{ZrAlO}_x$  장벽층은  $\text{AlO}_x$ 보다 결함 농도(concentration)가 낮을 것으로 추측할 수 있다.
- <72> 본 발명의 자기저항 소자 및 그 제조방법은 고 도전성이고 표면 균질도가 향상된  $\text{ZrAlO}_x$  장벽층을 제공함으로써 고 MR 특성의 자기저항 소자를 제공할 수 있다.
- <73> 상기한 설명에서 많은 사항이 구체적으로 기재되어 있으나, 그들은 발명의 범위를 한정하는 것이라기보다, 바람직한 실시예의 예시로서 해석되어야 한다. 때문에 본 발명의 범위는

설명된 실시예에 의하여 정하여 질 것이 아니고 특허청구범위에 기재된 기술적 사상에 의해 정하여져야 한다.

**【발명의 효과】**

<74> 상술한 바와 같이, 본 발명에 따른 터널링 자기저항 소자 및 그 제조방법의 장점은, 균질하고 결함이 적으며 낮은 조도의  $\text{ZrAlO}_x$  장벽층을 형성하여 높은 MR 특성 및 열적 안정성을 가지는 양호한 자기저항 소자를 제공할 수 있다는 것이다.



**【특허청구범위】****【청구항 1】**

자화방향이 고정된 고정층과 자화방향이 변화가능한 자유층 사이에 개재되며, Zr이 8% 이상 12%이하의 조성비로 함유된 비정질의  $ZrAlO_x$  장벽층을 가지는 터널링 자기저항 소자.

**【청구항 2】**

제 1 항에 있어서,

상기 Zr은 6% 이상 12% 이하의 조성비를 가지는 것을 특징으로 하는 터널링 자기저항 소자.

**【청구항 3】**

제 1 항에 있어서,

상기 Zr은 10% 정도의 조성비를 가지는 것을 특징으로 하는 터널링 자기저항 소자.

**【청구항 4】**

제 1 항에 있어서,

상기 장벽층은 200℃ 내지 500℃로 열처리된 것을 특징으로 하는 터널링 자기저항 소자.

**【청구항 5】**

기판 상에 자화방향이 고정된 고정층을 증착하는 제1단계;

상기 고정층 상에 Zr을 2%이상 20%이하의 조성비로 함유하는 비정질 의  $ZrAl$ 층을 증착시키는 제2단계;

상기 비정질의  $ZrAl$  장벽층을 산소 가스에 노출시켜 비정질의  $ZrAlO_x$  장벽층으로 형성시키는 제3단계; 및

상기 비정질의  $ZrAlO_x$  장벽층 상에 자화방향이 변화가능한 자유층을 증착하는 제4단계; 를 포함하는 것을 특징으로 하는 터널링 자기저항 소자 제조방법.

**【청구항 6】**

제 5 항에 있어서, 상기 제1단계에서,

상기 기판과 상기 고정층 사이에 반강자성층을 형성하는 것을 특징으로 하는 터널링 자기저항 소자 제조방법.

**【청구항 7】**

제 5 항에 있어서, 상기 제2단계에서,

상기 Zr칩을 부착한 Al 타겟을 마련하여 스퍼터링함으로써 상기 고정층 상에 비정질의  $ZrAl$  장벽층을 형성하는 것을 특징으로 하는 터널링 자기저항 소자 제조방법.

**【청구항 8】**

제 5 항에 있어서, 상기 제2단계에서,

상기 Zr을 6% 이상 12% 이하의 조성비로 도핑하는 것을 특징으로 하는 터널링 자기저항 소자 제조방법.

**【청구항 9】**

제 5 항에 있어서, 상기 제2단계에서,

상기 Zr을 10% 정도의 조성비로 도핑하는 것을 특징으로 하는 터널링 자기저항 소자 제조방법.

【청구항 10】

제 5 항에 있어서; 상기 제4단계에서,

상기 장벽층을 200℃ 내지 500℃로 열처리하는 것을 특징으로 하는 터널링 자기저항 소자 제조방법.

## 【도면】

【도 1a】

자유층
ZrAlO <sub>x</sub> 장벽층
고정층
반강자성층

【도 1b】

반강자성층
고정층
ZrAlO <sub>x</sub> 장벽층
자유층

【도 1c】

반강자성층
자성층
ZrAlO <sub>x</sub> 장벽층
자성층
ZrAlO <sub>x</sub> 장벽층
자성층
반강자성층

BEST AVAILABLE COPY

【도 1d】

자유층
ZrAlOx 장벽층
고정층
자성층
Ru
자성층
반강자성층

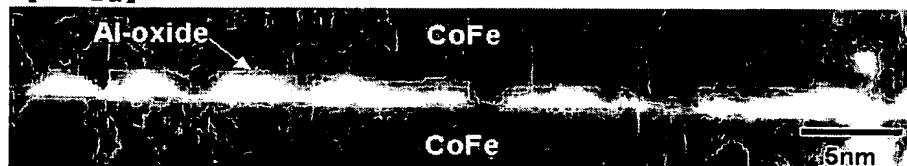
【도 1e】

반강자성층
자성층
Ru
자성층
고정층
ZrAlOx 장벽층
자유층

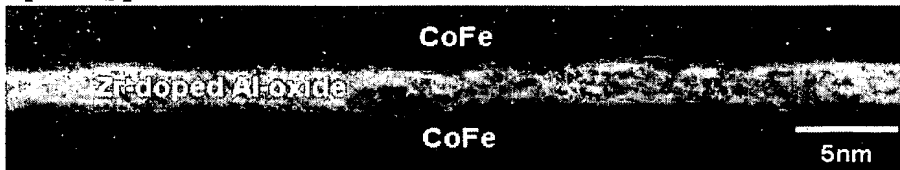
【도 1f】

자성층
ZrAlOx 장벽층
자유층

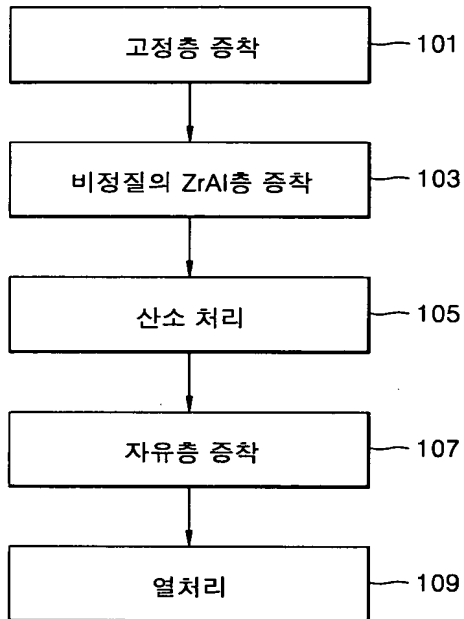
【도 2a】



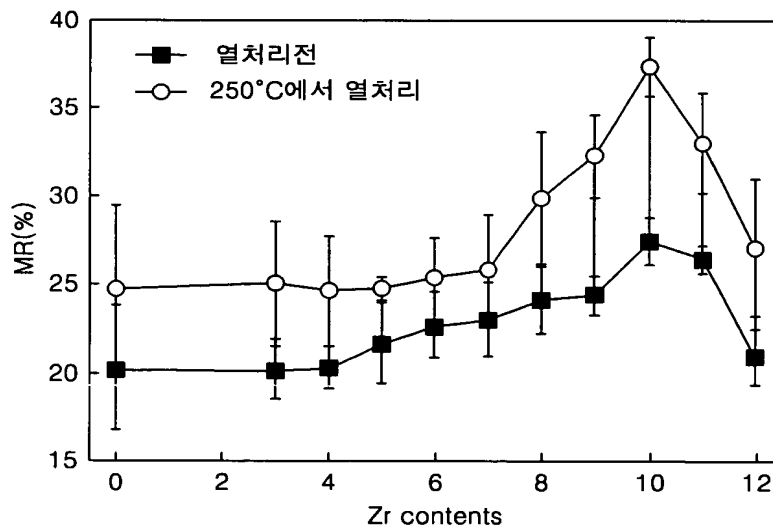
【도 2b】



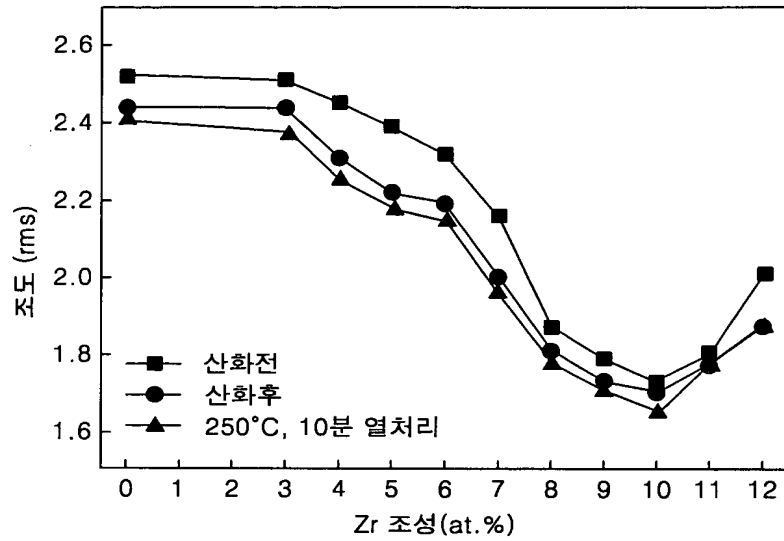
【도 3】



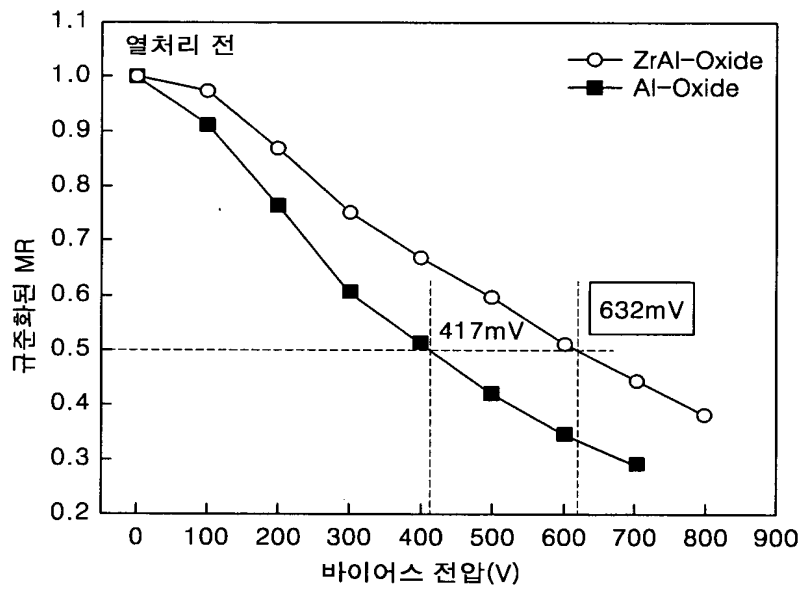
【도 4】



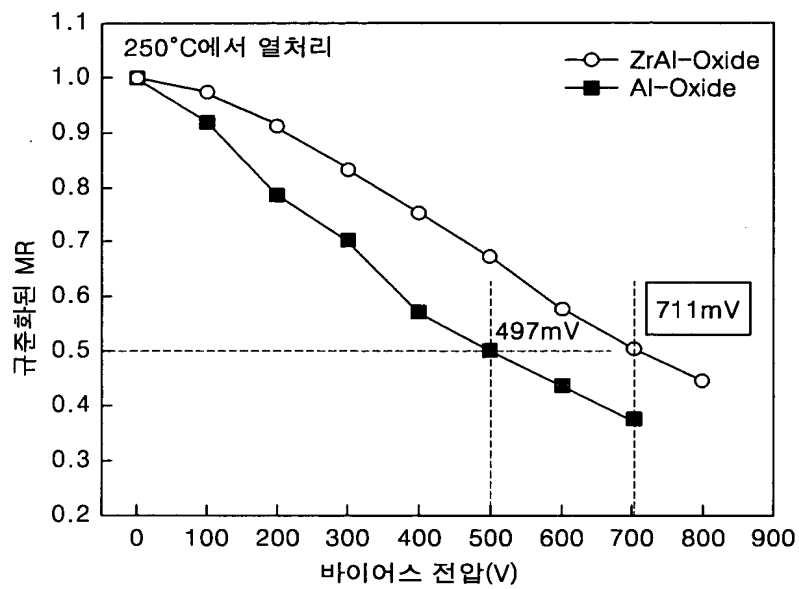
【도 5】



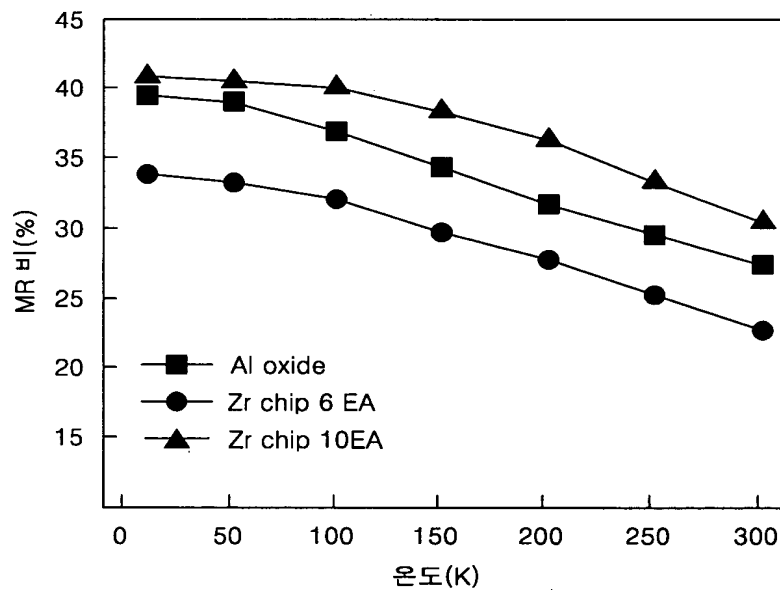
【도 6a】



【도 6b】



【도 7a】





【도 7b】

